

## PLL CALIBRATION CIRCUIT WITH FREQUENCY MONITORING FUNCTION

Patent Number: JP5268078  
Publication date: 1993-10-15  
Inventor(s): NARA OSAMU; others: 02  
Applicant(s): FUJITSU LTD  
Requested Patent: ☐ JP5268078  
Application Number: JP19920065463 19920324  
Priority Number(s):  
IPC Classification: H03L7/113  
EC Classification:  
Equivalents:

RECEIVED  
CENTRAL FAX CENTER

NOV 22 2004

### Abstract

**PURPOSE:** To speed the synchronization recovery at the time of synchronization step-out of frequency by holding a count value without initializing in a D/A conversion section when the phase of the output clock of a voltage control oscillator is synchronized with the phase of the reference clock.

**CONSTITUTION:** The phase of the output clock of a voltage control oscillator 500 is synchronized with the phase of the reference clock, a D/A conversion section 800 makes no initializing and maintains the count value. After the phase of the output clock of the oscillator 500 is synchronized with the phase of the reference clock, the output clock frequency of the oscillator 500 is outside the lock in range on synchronization to be set by a pull-in range setting section 130, a switch section 900 is turned on and the output of the D/A conversion section 800 is added to the oscillator 500 through the switch section 900. The D/A conversion section 800 maintains the count value while making no initializing, the oscillator 500 can make the output clock phase synchronized with the reference clock phase. Thus, the recovery for synchronization can be speeded up at the frequency synchronizing step-out of the PLL circuit.

Data supplied from the esp@cenet database - 12

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-268078

(43) 公開日 平成5年(1993)10月15日

(51) Int.Cl. <sup>5</sup> H 0 3 L 7/113	識別記号 9182-5 J	片内整理番号 H 0 3 L 7/10	F 1 B	技術表示箇所
--	------------------	------------------------	----------	--------

審査請求 未請求 請求項の数1(全 8 頁)

(21) 出願番号 特願平4-85483

(22) 出願日 平成4年(1992)3月24日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 奈良 修

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(72) 発明者 山本 聡

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(72) 発明者 常盤 耕司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

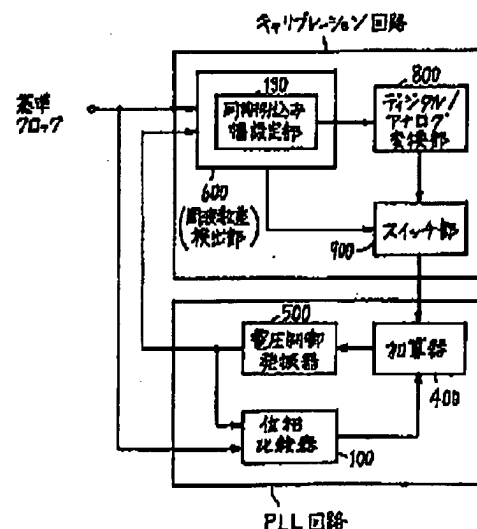
(54) 【発明の名称】 周波数監視機能を有するPLLキャリブレーション回路

(57) 【要約】

【目的】 PLL回路に使用されるキャリブレーション回路に関し、周波数の同期外れが生じたとき再同期の復旧が速くなる周波数監視機能を有するPLLキャリブレーション回路を提供することを目的とする。

【構成】 PLL回路と、PLL回路を設定周波数まで誘導するキャリブレーション回路とで構成される回路において、周波数差検出部600に、電圧制御発振器500の出力クロック(VCO CLK)の基準クロック(REF CLK)に対する周波数の同期引込み幅を設定する同期引込み幅設定部130を設け、VCO CLKがREF CLKに位相同期した時デジタル/アナログ変換部800でカウント値を保持し、位相同期後、VCO CLKの周波数が同期引込み幅の周波数範囲からはずれた時には、スイッチ部900をオンにしてデジタル/アナログ変換部800の出力をスイッチ部900を介してVCO 500に加えて、短時間にVCO CLKをREF CLKに位相同期するように構成する。

本発明の原理図



(2)

特開平5-268078

1

2

## 【特許請求の範囲】

【請求項1】 位相比較器(100)で電圧制御発振器(500)の出力クロックの位相と基準クロックの位相との比較を行い位相差に対応する信号出力を、加算器(400)で第2の入力端子に加えた信号と加算した後該電圧制御発振器(500)に加え、該基準クロックの位相に位相同期したクロックを出力するPLL回路と、

該電圧制御発振器(500)の出力クロックの周波数と該基準クロックの周波数とを比較して差に比例する信号を出力する周波数差検出部(600)と、該周波数差検出部(600)の出力信号をカウントし該カウント値をアナログ信号に変換して出力するディジタル／アナログ変換部(800)と、電源のオン時又はリセット時にはオンにして該ディジタル／アナログ変換部(800)の出力を該加算器(400)の第2の入力端子に加え、該電圧制御発振器(500)の出力クロックの位相が該基準クロックの位相に同期した後はオフにするスイッチ部(900)とを有するキャリブレーション回路とで構成されるPLLキャリブレーション回路において、

前記周波数差検出部(600)に、

前記電圧制御発振器(500)の出力クロックの周波数の、前記基準クロックの周波数に対する同期引込み幅を設定し、該同期引込み幅の上限及び下限周波数に対応する信号を出力する同期引込み幅設定部(130)を設け、

前記電圧制御発振器(500)の出力クロックの位相が前記基準クロックの位相に同期した時、前記ディジタル／アナログ変換部(800)で前記カウント値を保持するようにし、

前記電圧制御発振器(500)の出力クロックの位相が前記基準クロックの位相に同期した後、前記電圧制御発振器(500)の出力クロックの周波数が該同期引込み幅設定部(130)で設定される同期引込み幅の周波数範囲からはずれた時には、前記スイッチ部(900)をオンにして前記ディジタル／アナログ変換部(800)の出力を前記スイッチ部(900)を介して前記電圧制御発振器(500)に加えて、短時間に前記電圧制御発振器(500)の出力クロックの位相を前記基準クロックの位相に同期する構成にしたことを特徴とする周波数監視機能を有するPLLキャリブレーション回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は伝送装置の位相同期ループ回路(以下PLL回路と称する)に使用されるキャリブレーション回路の改良に関するものである。

【0002】伝送装置等に使用されるPLL回路には、電源の投入(オン)時、又はリセット時に周波数を同期引込み範囲(プルイン・レンジ)内に引き込むために、キャリブレーション回路を用いて設定周波数まで誘導するが、一度周波数同期した後は再度リセットが実行される以外はキャリブレーション回路は機能しなかつ

た。

【0003】したがって、周波数の同期外れのような障害が生じた場合、リセットが実行されない限り同期外れのままであった。又、このような障害が生じた場合、中継器として使用していると、復旧までの時間が非常に長くなってしまうという問題点があった。このため、周波数の同期外れが生じたとき再同期の復旧が速くなる周波数監視機能を有するPLLキャリブレーション回路が要請されている。

## 【0004】

【従来の技術】図4は一例のPLL回路とキャリブレーション回路の構成を示すブロック図である。

【0005】図4において、点線で囲んだ部分がキャリブレーション回路であり、一点鎖線で囲んだ部分がPLL回路である。同図において、PLL回路は電源投入(オン)後は常時動作している。

【0006】まず、基準となるクロック(REF CLK)を外側からPLL回路内の位相比較器(以下P-DETと称する)1の一方の入力端子に加える。P-DET1の他方の入力端子には電圧制御発振器(以下VCOと称する)5の出力のクロック(VCO CLK)を加え、P-DET1で両者の位相を比較し位相差に比例した電圧を出力してチャージポンプ2に加える。チャージポンプ2で入力電圧を充電して三角波にした出力をループフィルタ3を通して、得られる低周波(直流)成分を加算器4に加える。

【0007】加算器4で、キャリブレーション回路からの入力電圧があればこれと加算して、又なければループフィルタ3の出力だけをVCO5に加え、VCO5の出力周波数を加算器4からの電圧により調整して出力する。そして、VCO5の出力を前述したP-DET1に加えるとともに、周波数比較器(以下f-DETと称する)6に加える。

【0008】今、電源のオン時、又はリセット時には、周波数をプルイン・レンジ内に引き込むためにキャリブレーション回路を用いて設定周波数(今の場合、REF CLKの周波数)まで誘導する。即ち、図4に点線で囲んで示すキャリブレーション回路において、f-DET6で、基準となるクロック(REF CLK)の周波数とVCO5の出力クロック(VCO CLK)の周波数とを比較して、両者の差に比例したディジタル値の電圧を出力して、ディジタル／アナログ・コンバータ(以下DACと称する)カウンタ7に加え、ディジタル電圧値をカウントした後DAC8に加える。

【0009】DAC8では、DACカウンタ7の出力のカウント値により、例えば12ビットのディジタル信号をアナログ値(例えば0～5V)に変換して、スイッチ部(以下SWと称する)9に加える。SW9では、VCO CLKの周波数がREF CLKの周波数に等しくなった時DAC8の出力を加算器4に加えるのを止めるが、等しくなる

(3)

特開平5-268078

まではDACBのアナログ出力を加算器4に加える。以下、前述した動作を繰り返す。

【0010】このようにして、電源のオン時、又はリセット時に、周波数をプルイン・レンジ内に引き込むためにキャリブレーション回路を用いて設定周波数まで誘導する。

【0011】

【発明が解決しようとする課題】しかしながら上述した回路構成においては、一度周波数同期した後は、再度リセットが実行される以外はキャリブレーション回路は機能しなかった。したがって、ノイズ等により周波数の同期外れのような障害が生じた場合、リセットが実行されない限り同期外れのままであるという問題点があった。

【0012】又、このような障害が生じた場合、例えば中継器として使用していると、復旧までの時間が非常に長くなってしまいう問題点があった。したがって本発明の目的は、周波数の同期外れが生じたとき再同期の復旧が速くなる周波数監視機能を有するPLLキャリブレーション回路を提供することにある。

【0018】

【課題を解決するための手段】上記問題点は図1に示す回路の構成によって解決される。即ち図1において、位相比較器100で電圧制御発振器500の出力クロックの位相と基準クロックの位相との比較を行い位相差に対応する信号出力を、加算器400で第2の入力端子に加えた信号と加算した後電圧制御発振器500に加え、基準クロックの位相に位相同期したクロックを出力するPLL回路と、電圧制御発振器500の出力クロックの周波数と基準クロックの周波数とを比較して差に比例する信号を出力する周波数差検出部600と、周波数差検出部600の出力信号をカウントしカウント値をアナログ信号に変換して出力するデジタル/アナログ変換部800と、電源のオン時又はリセット時にはオンにしてデジタル/アナログ変換部800の出力を加算器400の第2の入力端子に加え、電圧制御発振器500の出力クロックの位相が基準クロックの位相に同期した後はオフにするスイッチ部900とを有するキャリブレーション回路とで構成されるPLLキャリブレーション回路において、周波数差検出部600に、電圧制御発振器500の出力クロックの周波数の、前記基準クロックの周波数に対する同期引込み幅を設定し、同期引込み幅の上限及び下限周波数に対応する信号を出力する同期引込み幅設定部130を設け、電圧制御発振器500の出力クロックの位相が前記基準クロックの位相に同期した時、デジタル/アナログ変換部800で前記カウント値を保持するようにする。

【0014】又、電圧制御発振器500の出力クロックの位相が前記基準クロックの位相に同期した後、電圧制御発振器500の出力クロックの周波数が同期引込み幅設定部130で設定される同期引込み幅の周波数範囲からはずれた時には、スイッチ部900をオンにしてデジタル/

アナログ変換部800の出力をスイッチ部900を介して電圧制御発振器500に加えて、短時間に電圧制御発振器500の出力クロックの位相を前記基準クロックの位相に同期するように構成する。

【0015】

【作用】図1において、電圧制御発振器500の出力クロックの位相が前記基準クロックの位相に同期した時、デジタル/アナログ変換部800では初期化せずに前記カウント値を保持するようにする。

【0016】又、電圧制御発振器500の出力クロックの位相が前記基準クロックの位相に同期した後、電圧制御発振器500の出力クロックの周波数が同期引込み幅設定部130で設定される同期引込み幅の周波数範囲からはずれた時には、スイッチ部900をオンにしてデジタル/アナログ変換部800の出力をスイッチ部900を介して電圧制御発振器500に加える。

【0017】デジタル/アナログ変換部800では初期化せずに前記カウント値を保持しているため、電圧制御発振器500では、短時間に出力クロックの位相を前記基準クロックの位相に同期することができる。

【0018】この結果、PLL回路で周波数同期が外れたとき再同期の復旧を速くすることが可能となる。

【0019】

【実施例】図2は本発明の実施例のキャリブレーション回路の構成を示すブロック図である。

【0020】図3は実施例の動作を説明するためのフローチャートである。全図を通じて同一符号は同一対象物を示す。

図2及び図3において、電源を投入（オン）した時、又はリセット時、まず（ステップ1（S. 1））内部クリア制御部10の出力のリセット信号により、図4に示すf-D E T 6内の基準クロック用カウンタ（以下REF CLK用カウンタと称する）11、VCO CLK用カウンタ12の初期化を行う。この時、SW9はオンになっている。

【0021】（S. 2）REF CLK用カウンタ11、及びVCO CLK用カウンタ12でカウントUPを開始する。

（S. 3）REF CLK用カウンタ11で、カウント値が予め設定した値（図4に示すVCO 5が立ち上がるまでの時間に対応する値、仮にCC1とする）に達したか否かの判定を行う。CC1に達していない時には引き続きカウントUPする。

【0022】（S. 4）REF CLK用カウンタ11でカウント値がCC1に達した時にはVCO 5の出力クロック（VCO CLK）の周波数がほぼ一定値に達したことを示しており、内部クリア制御部10の出力のリセット信号により、再びREF CLK用カウンタ11、及びVCO CLK用カウンタ12を初期化する。

【0023】（S. 5）再びREF CLK用カウンタ11及びVCO CLK用カウンタ12のカウントUPを開始する。

（S. 6）例えば、上記REF CLKの周波数を8MHz、

(4)

特開平5-268078

5

REF CLK 用カウンタ11を12ビット構成とすると、REF CLK 用カウンタ11で"0" からスタートしてこの12ビットがすべて"1" になるまでの時間 (250  $\mu$ S) に対応する値 (仮にCC2とする) に達したか否かの判定を行う。CC2に達していない時には引き続きカウントUPする。

【0024】(S. 7) REF CLK 用カウンタ11でカウント値がCC2に達した時制御信号を出力して、同期監視発生部13及び基準信号発生部14に加える。一方、図4に示すSW9は、今の場合オンになっているため、周波数比較用のセクタ15は実線で示す側に切替え接続されており、上述した制御信号により基準信号発生部14から"1" のパルスを出力して、セクタ15を介して位相比较部16に加える。

【0025】(S. 8) 位相比较部16にはVCO CLK用カウンタ12からもその時点における"1" のパルスを加え、基準信号発生部14から加えたパルスとの間でクロックの位相の比較、即ちREF CLK とVCO CLK の周波数の比較を行う。

【0026】(S. 9) 位相比较部16で周波数の比較を行った結果、VCO CLK の周波数<REF CLK の周波数の時、即ち図4に示すVCO5の出力クロック (VCO CLK) の周波数が基準クロックの周波数に達していない時には、このことを示す制御信号を周波数判定結果出力部18を介してDACカウンタ7に加える。DACカウンタ7では、カウントを1だけUPする。その後、再び上述した(S. 1) ~ (S. 8) を繰り返す。(図3に示すフィードバック・ループ(a))。

【0027】(S. 10) 上述した位相比较部16でREF CLK とVCO CLK の周波数の比較を行った結果、VCO CLK の周波数>REF CLK の周波数の時、即ち図4に示すVCO5の出力周波数が基準クロックの周波数に達した時には、このことを示す制御信号をSW9に加え、SW9をオフにする。この結果、図4に示すキャリブレーション回路のDAC8の出力は、PLL回路の加算器4に加えられるなくなる。その後、再び上述した(S. 1) ~ (S. 7) を繰り返す。(図3に示すフィードバック・ループ(b))。

【0028】(S. 11) 前述した(S. 7) で、SW9がオフの時には、SW9からの制御信号によりセクタ15を点線の側に切替え接続する。そして、同期監視発生部13で、PLL回路のロックイン・レンジ幅 (位相同期範囲、仮に下限及び上限の周波数をそれぞれC<sub>1</sub>、C<sub>2</sub>とする) を与えるデータを作り出して、セクタ15を介して位相比较部16に加える。

【0029】位相比较部16で、VCO CLK の周波数が上記PLL回路のロックイン・レンジ幅 (下限C<sub>1</sub>、上限C<sub>2</sub>)

6

の中に入っているか否かを判定し、下限C<sub>1</sub> < VCO CLK の周波数<上限C<sub>2</sub> の時にはVCO5の出力クロックの周波数はロックイン・レンジ幅内に引き込まれて安定動作になったと判定して、上述した(S. 4) ~ (S. 7) 及び(S. 11)を繰り返す。(図3に示すフィードバック・ループ(d))。

【0030】(S. 12) 位相比较部16で、VCO CLK の周波数が上記PLL回路のロックイン・レンジ幅 (下限C<sub>1</sub>、上限C<sub>2</sub>) の中に入っていないと判定した時には、図4に示すSW9をオンにしてキャリブレーション回路とPLL回路を接続した後、上述した(S. 1) ~ (S. 11) の動作を繰り返す。(図3に示すフィードバック・ループ(c))。

【0031】この場合、(S. 9) の動作、即ちDACカウンタ7では、リセット (初期化) していないため前回のカウント値がそのまま使用でき、この値をDAC8によりアナログ値に変換した後SW9、加算器4を介してVCO5に加えることにより、VCO5の出力 (VCO CLK) の周波数は直ちにPLL回路のロックイン・レンジ幅 (下限C<sub>1</sub>、上限C<sub>2</sub>) の中に引き込まれ、周波数は安定する。

【0032】この結果、従来のPLL回路では、何らかの原因で周波数の同期が外れた場合、DACカウンタ7にもリセットがかかり初期状態からキャリブレーションがかかるため、再同期には電源オン、リセット時と同等の時間が必要であったが、本発明の回路を用いた場合には、一度同期した後はその同期時のVCOの電圧をDACカウンタに保持しているため、従来の回路に比べ再同期の復旧が速くなる。

【0033】

【発明の効果】以上説明したように本発明によれば、PLL回路で周波数同期が外れたとき再同期の復旧を速くすることが可能となる。

【図面の簡単な説明】

【図1】は本発明の原理図、

【図2】は本発明の実施例のキャリブレーション回路の構成を示すブロック図、

【図3】は実施例の動作を説明するためのフローチャート、

【図4】は一例のPLL回路とキャリブレーション回路の構成を示すブロック図である。

【符号の説明】

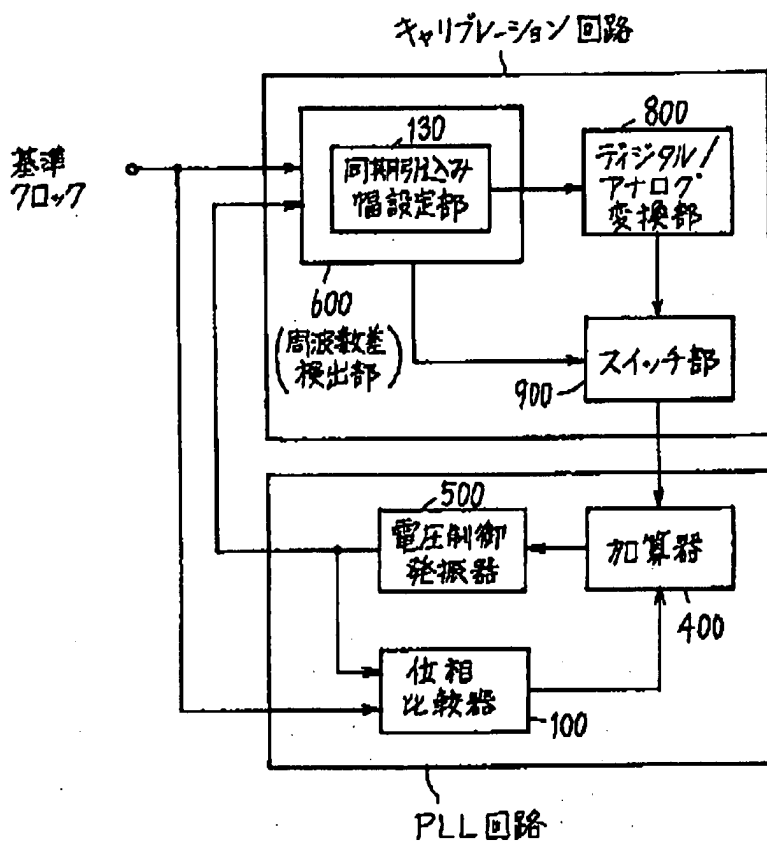
100は位相比较器、130は同期引き込み幅設定部、400は加算器、500は電圧制御発生器、600は周波数差検出部、800はディジタル/アナログ変換部、900はスイッチ部を示す。

(5)

特開平5-268078

【図1】

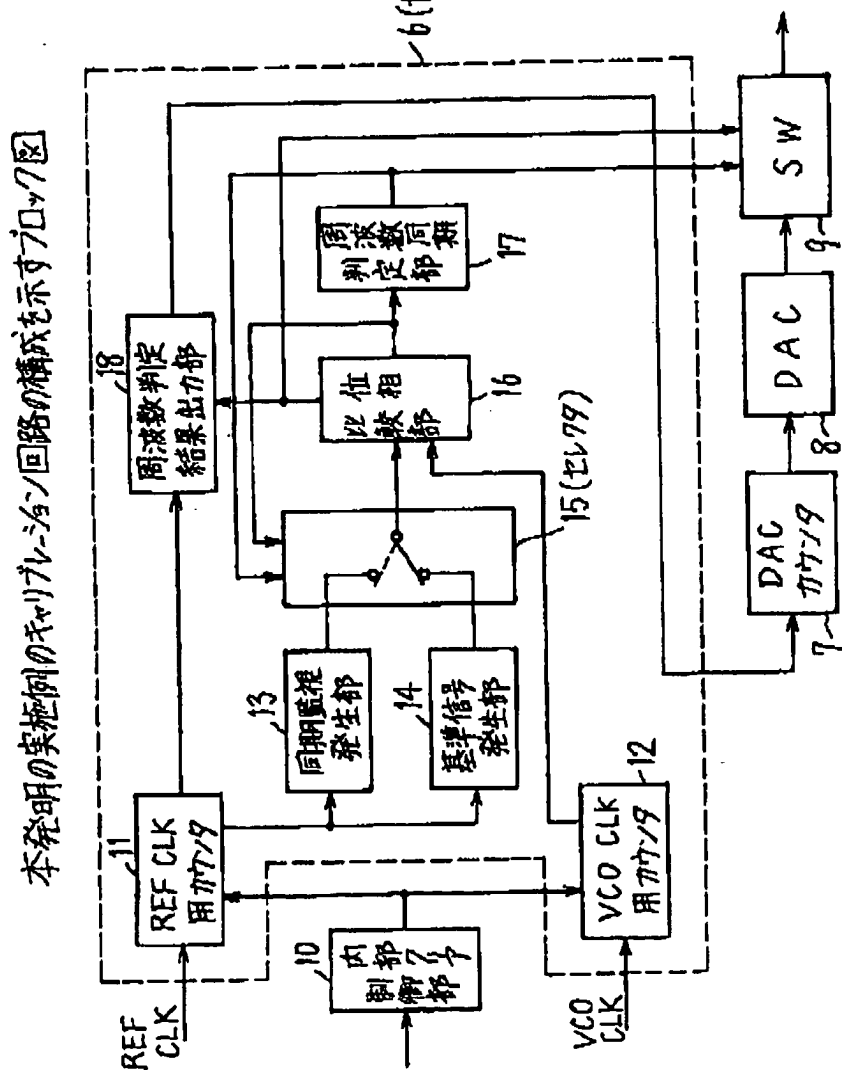
本発明の原理図



特開平6-268078

(6)

【圖 21】

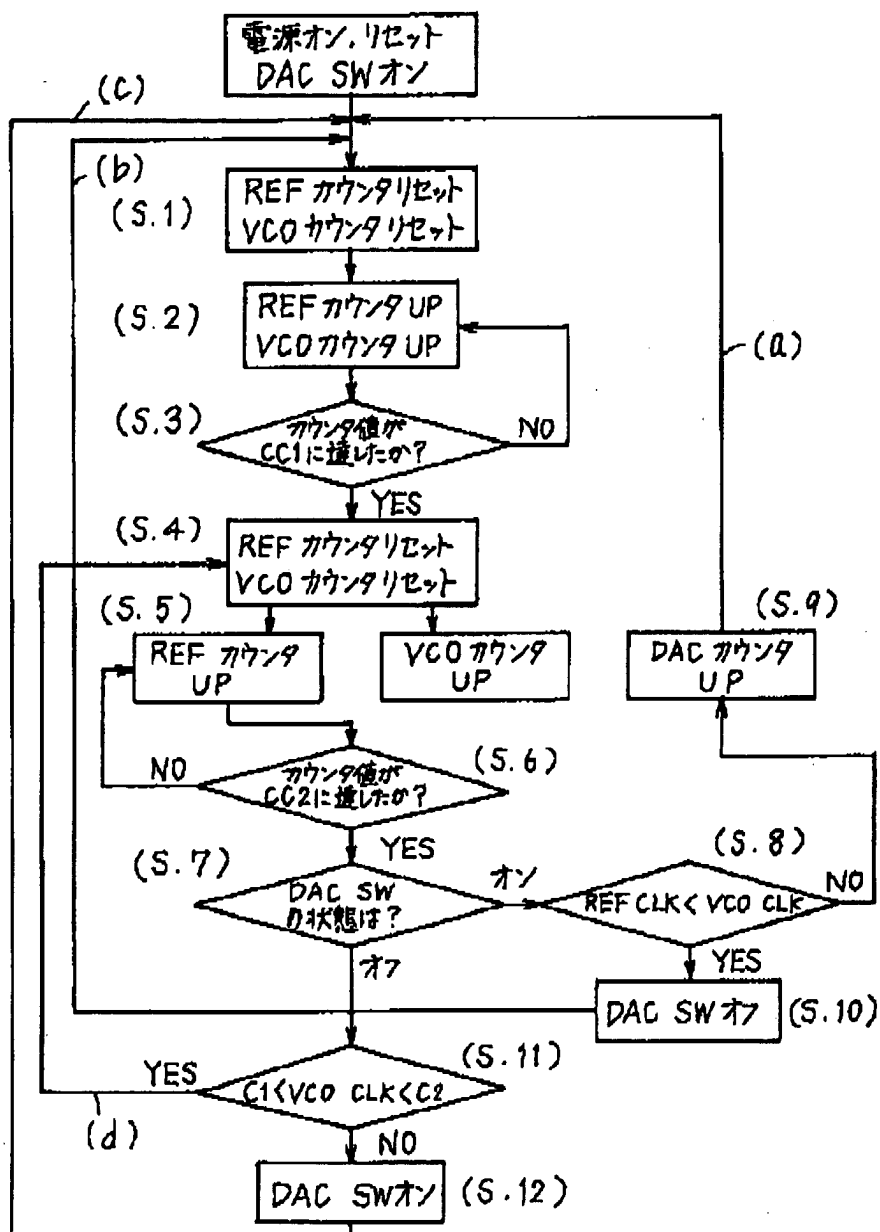


(7)

特開平5-268078

【図3】

実施例の動作を説明するためのフローチャート



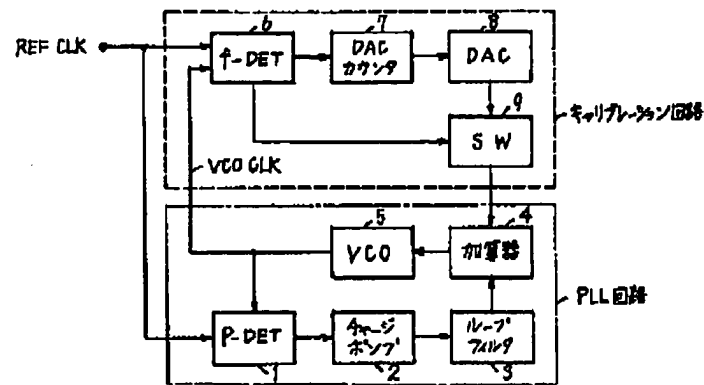


(8)

特開平5-268078

【図4】

一例のPLL回路とキャリアレシジョン回路の構成を示すブロック図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**